



Laboratório de Lógica Configurável

Prof. Dr. Cesar da Costa

5.a Aula – Registrador de deslocamento (shift register)

❑ Projeto de Circuitos Sequenciais com FPGA

❖ Projeto e simulação de registradores de deslocamento (Shift Register)

- Quando se necessita guardar uma informação de mais de um bit, utiliza-se um conjunto de flip-flop denominado registrador de deslocamento (shift register). O número binário armazenado nos flip-flop é deslocado de um flip-flop para o seguinte a cada pulso de clock.
- Nesta prática vamos projetar e testar o funcionamento de um registrador de deslocamento, usando quatro flip-flop do tipo DFF da biblioteca primitiva do software Quartus Prime. Ao término da prática, o leitor deve saber simular os resultados das saídas de um circuito digital sequencial de acordo com as suas entradas, criar um arquivo de estímulos e interpretar o gráfico de formas de onda de um circuito sequencial.
- Criar um bloco lógico do Shift Register (arquivo .bsf) e carregar no Kit DE10.

❖ Projeto e simulação de registradores de deslocamento (Shift Register)

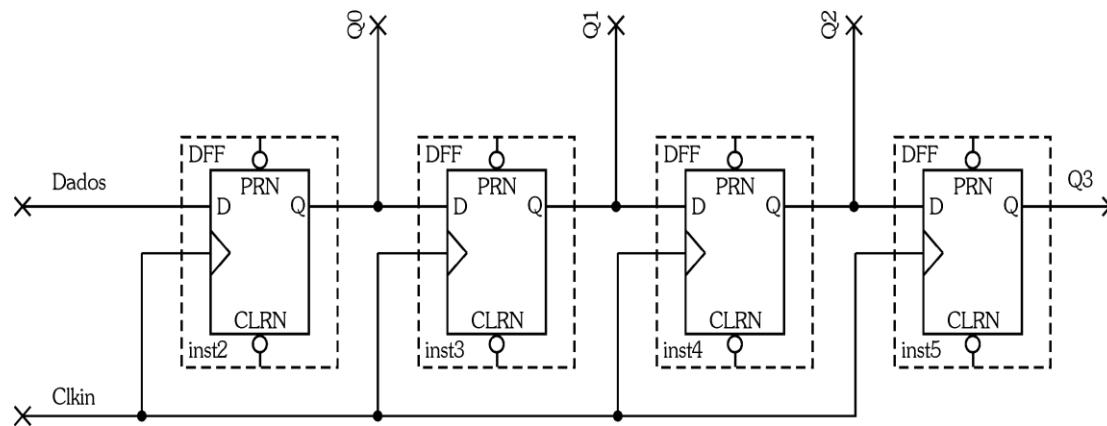


Figura 3.29 - Registrador de deslocamento de 4 bits.

❖ Projeto e simulação de registradores de deslocamento (Shift Register)

O projeto é compilado e simulado. Se a compilação ocorrer sem nenhum erro, o resultado da simulação, saídas Q0, Q1, Q2 e Q3, em função das entradas Clkin e Data, é igual ao apresentado na Figura 3.31.

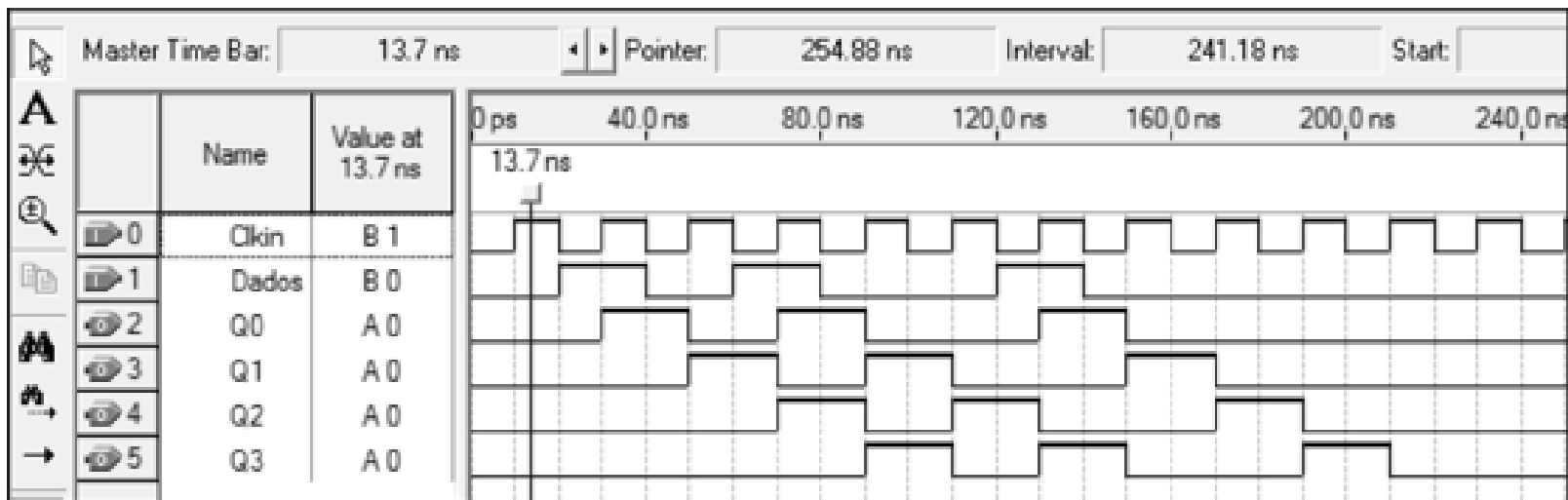


Figura 3.31 - Resultado da simulação do arquivo registrador_deslocamento_1.

❖ Projeto e simulação de registradores de deslocamento (Shift Register)

Analizando as formas de ondas da Figura 3.31, observa-se que a cada borda positiva da entrada Clkin, cada saída de flip-flop recebe o nível lógico que estava presente na saída do flip-flop à sua esquerda, antes da borda de subida do pulso de Clkin. Desta forma, a sequência de bits é deslocada para a saída do registrador.

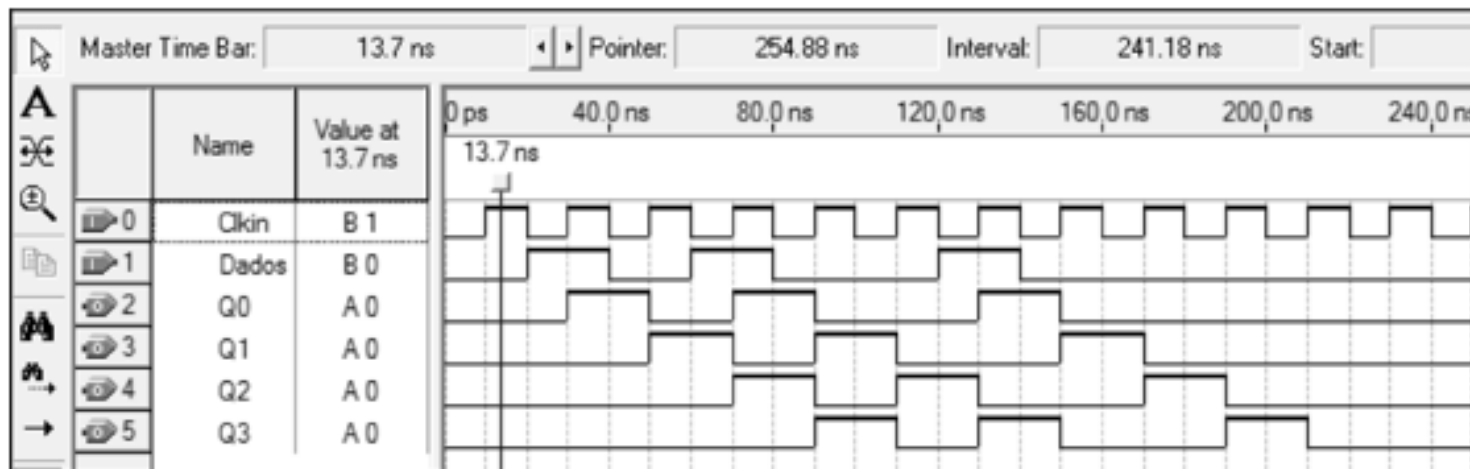


Figura 3.31 - Resultado da simulação do arquivo registrador_deslocamento_1.

❖ Projeto e simulação de registradores de deslocamento (Shift Register)

Tabela 3.15 - Designação de pinos do FPGA

Função	Pinos do FPGA	Kit DE 2
Entrada Clkin	?	Clock de 50 MHz
Dados	?	Chave SW (0)
Saída Q0	?	LED vermelho (0)
Saída Q1	?	LED vermelho (1)
Saída Q2	?	LED vermelho (2)
Saída Q3	?	LED vermelho (3)

- ❖ Determine os pinos do FPGA, consultando o manual do KIT DE10.



Referências

http://professorcesarcosta.com.br/upload/imagens_upload/Tutorial%20Quartus_Rodrigo%20Rech.pdf

http://professorcesarcosta.com.br/upload/imagens_upload/DE10-Lite_User_Manual.pdf

<https://www.amazon.com.br/Projetos-Circuitos-Digitais-com-FPGA/dp/8536505850>